

## Method of manufacturing semiconductor integrated circuit

Publication number: TW473973B

Publication date: 2002-01-21

Inventor: SUZUKI YOICHI (JP); OKA NAOKI (JP)

Applicant: APPLIED MATERIALS INC (US)

Classification:

- international: H01L23/522; H01L21/28; H01L21/306; H01L21/768;  
H01L21/311; H01L23/52; H01L21/02; H01L21/70; H01L21/02;  
(IPC1-7): H01L23/50

- European: H01L21/768B6

Application number: TW20000121368 20001012

Priority number(s): JP19990291146 19991013

Also published as:



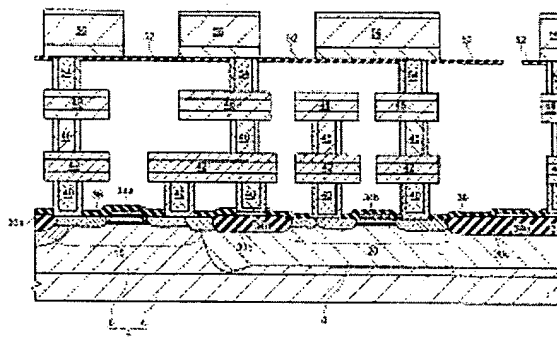
US6346475 (B1)

JP2001110745 (A)

Report a data error here

### Abstract of TW473973B

The present invention provides a method of manufacturing a semiconductor integrated circuit, and particularly a method of manufacturing a high speed semiconductor integrated circuit. A silicon nitride film 60 is formed on a substrate 2 so as to cover semiconductor devices 10, 20. After having formed more than one layer of conducting members 66, 70 and interlayer dielectric films 62, 68a, 68b on the silicon nitride film, an opening 74 is formed in said interlayer dielectric films so as to reach the silicon nitride film 60. The substrate with thus defined opening 74 is etched in an etching solution containing hydrogen fluoride acid therein to remove away the silicon oxide interlayer films 62, 68a, 68b. As the silicon oxide interlayer films 62, 68a, 68b are etched in the solution, this forms electrical interconnection that is not surrounded with any oxides. As the silicon nitride film 60 works as an etching stop layer in this etching above, the semiconductor devices 10, 20 are protected against the etching process.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

# 公告

申請日期	89 10 12
案 號	891213E8
類 別	H01L 23/50

A4  
C4

473973

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體積體電路之製造方法
	英 文	
二、發明 人	姓 名	1.鈴木洋一 2.岡直樹
	國 籍	1-2 均為日本
三、申請人	住、居所	1.日本國千葉縣成田市新泉14-3 應用材料股份有限公司日本所內 2.日本國千葉縣成田市新泉14-3 應用材料股份有限公司日本所內
	姓 名 (名稱)	美商·應用材料股份有限公司
三、申請人	國 籍	美國
	住、居所 (事務所)	美國加州聖大克勞拉市波爾斯大道3050號
三、申請人	代 表 人 姓 名	瓊西 J. 史維尼

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

本案已向日本申請專利；申請日 1999 年 10 月 13 日，申請號：11-291146 號

有關微生物已寄存於：

寄存日期：

寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 四、中文發明摘要(發明之名稱：半導體積體電路之製造方法)

本發明係提供一種半導體積體電路之製造方法，乃相關可製造動作高速化半導體積體電路的方法。主要係在基板 2 上設置覆蓋半導體元件 10,20 的氮化矽膜 60，在於其上形成導電部 66,70 與層間絕緣膜 62,68a,68b，然後形成到達氮化矽膜 60 的開口 74。將經形成開口 74 的基板，浸漬於含氟化氫酸的蝕刻液中，而去除氧化矽層間膜 62,68a,68b。該氧化矽層間膜 62,68a,68b 因為被含氟化氫酸的蝕刻液所蝕刻，故在未接觸到絕緣物情況下形成電路。在蝕刻處理程序中，因為氮化矽膜 60 具蝕刻終止層的功能，所以半導體元件 10,20 在蝕刻處理程序中可受到保護。

## 英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( 1 )

### 【技術領域】

本發明係提供一種半導體積體電路之製造方法，係相關一種基板上具相互連接半導體元件之電路的半導體積體電路的製造方法。

### 【相關技術背景】

按，配合精細化半導體積體電路動作的高速要求，已有各式各樣的嘗試。請參閱第13圖所示，半導體積體電路的動作速度，隨精細化之演進，相較於電晶體上閘極本身的遲滯，連接該等閘極電路部分的遲滯所佔比例將偏大。電路部分的遲滯係受電路之電容量與電阻影響。

嘗試高速化之其中一例，配合改善引起電路電容量的動作遲滯，而有在層氧化膜中添加氟(F)或碳(C)，俾降低膜本身之相對介電係數的方法。此外，為降低相對介電係數，亦有報告指出藉由將層氧化膜密度予以減小方式可達其效果。

除此之外，亦有採用碳系材料為層間膜材料，並用 $O_2$ 電漿除去該碳系層間膜的方法。

此外，亦有界控制層間膜成膜條件，而在層間膜中設置間隙，藉此企圖有效的降低相對介電係數。

### 【發明開示】

有鑑於斯，本發明針對半導體積體電路的動作速度深入鑽研後，發現有下列諸項問題點。

為形成低介電係數的氟系氧化膜，必須採用與習知形成層氧化膜用CVD裝置不同的新裝置。而為可獲得低介電

## 五、發明說明 ( 2 )

係數的氮系氧化膜，所採用的新裝置，必須設定非常細微的成長條件，與必須持續維持該條件。此外，僅限於採用氮系氧化物為層氧化膜的話，很難將相對介電係數降至3以下。

再者，在以碳系材料作為層間膜材料時，必須採用新的碳系層間膜成長裝置，與專用的 $O_2$ 電漿裝置。

且，在層間膜中形成間隙的方法中，很難維持配合的CVD法成膜條件，而成膜條件的偏差，將導致斷線或短路等不良情況的發生。同時也因為在長期使用後將產生不良情況，故，就半導體積體電路的可靠性而言，最好不要採用此種方法。

緣是，本發明遂提供一種毋須另外採用新裝置，便可實現半導體積體電路動作速度高速化的半導體積體電路之製造方法。主要乃在基板的主面上設有第1區域、與不同於第1區域的第2區域。所採用的方法，包含有：(a)在基板上形成複數半導體元件的第1步驟、(b)形成覆蓋該等半導體元件的蝕刻終止膜之第2步驟、(c)形成將該等複數半導體元件互相接續之第1導電部的第3步驟、(d)在該蝕刻終止膜上形成含矽氧化物的層間膜、及屬第1區域位置之第2導電部的第4步驟，該第2導電部係連接於第1導電部、(e)在第2區域上形成貫穿層間膜並到達蝕刻終止膜之開口的第5步驟、(f)使用至少含氟化氫酸之蝕刻液，對層間膜進行蝕刻而形成開口的第6步驟。

該層間膜為包含有氧化矽的矽系絕緣膜。當使用可蝕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 3 )

刻氧化矽膜的蝕刻液，對層間膜進行蝕刻時，蝕刻終止膜在此蝕刻程序中，具半導體元件保護層的功能。所以，被此蝕刻終止膜所被覆的半導體元件，便在蝕刻過程中受到保護。此外，因為在基板的第2區域設置配合蝕刻的開口，所以第2導電部可在不受遮蔽的情況下，到達蝕刻終止膜而形成開口。因為在開口的側面上有裸露出層間膜，所以可對一定深度的層間膜側面進行蝕刻。

本發明可包含以下各項步驟。

本發明所提供的半導體積體電路之製造方法中，第3步驟係可包含有(c1)形成直接連接半導體元件的接觸窗導電體之步驟、(c2)形成連接該接觸窗導電體的電路導電體之步驟。藉由該等步驟，第1導電部係包含有接觸窗導電體與電路導電體。

本發明所提供的半導體積體電路之製造方法中，第4步驟係可包含有(d1)分別在1或1以上的電路導電體，該電路導電體、以及第1導電部上形成氧化矽膜，以及在該氧化矽膜內形成介層導電體之步驟。藉此，該第2導電部可包含有電路導電體與介層導電體。層間膜可包含氧化矽膜。第2導電部係包含有任意層數的電路導電體。

該電路導電體可以銅為主要構成材料。介層導電體與接觸窗導電體係以鎢為主要構成材料。

本發明所提供的半導體積體電路之製造方法中，第4步驟係可利用金屬鑲嵌法在層間膜上形成第2導電部。所謂金屬鑲嵌法係包括單金屬鑲嵌法與雙層金屬鑲嵌法。

## 五、發明說明( 4 )

依照金屬鑲嵌法，首先形成被覆橫跨下方之導電體的氧化矽膜，然後，在該氧化矽膜上形成達底層導電體的凹部，同時在該凹部內形成其他導電體。所謂其他導電體，係指至少包含介層導電體或電路導電體中任一者的涵義。所謂凹部，係指至少包含埋入介層導電體中之第1凹部、或埋入電路導電體中之第2凹部中任一者的涵義。該介層導電體與電路導電體可在同一步驟中進行埋入處理。

該第2導電部係至少包含一層由電路導電體與介層導電體所形成的導電層。該層間膜係包含該導電層層數2倍的矽系絕緣層。或者，該第2導電部係至少包含一個由電路導電體與介層導電體所形成一體的導電層。該層間膜係包含對應導電層數目的矽系絕緣層。

本發明所提供的半導體積體電路之製造方法中，在第2步驟中可於第1導電部上形成蝕刻終止膜，藉此使第1導電部形成於蝕刻終止膜的下方，而不致在蝕刻過程中裸露出。該第1導電部的設置與形成開口的位置並無特別定關係。此外，當第1導電部設在蝕刻終止膜下方時，採用可被蝕刻液蝕刻的材料作為第1導電部。該第1導電層係具備任意層數的電路層。

本發明所提供的半導體積體電路之製造方法中，在第3步驟中，貫穿蝕刻終止膜而形成連接於半導體元件的第1導電部。此種態樣最好採用配合自對準接觸窗所使用的氮化矽膜為蝕刻終止膜。

本發明所提供的半導體積體電路之製造方法中，該基



## 五、發明說明 ( 5 )

板係包含有分別各具半導體積體電路之複數半導體晶片區域、與分別設至於各半導體晶片區域周圍的切割線區域。在此種基板中，第5步驟係包含有至少在切割線區域或半導體晶片區域形成中任一者形成開口的步驟。

### 【圖式簡單說明】

第1圖係第1實施態樣的步驟剖面示意圖。

第2圖係第1實施態樣的步驟剖面示意圖。

第3圖係第1實施態樣的步驟剖面示意圖。

第4圖係第1實施態樣的步驟剖面示意圖。

第5圖係晶圓上形成動態隨機存取記憶體之半導體晶片的示意圖。

第6圖係晶圓上形成動態隨機存取記憶體之半導體晶片的示意圖。

第7圖係第2實施態樣的步驟剖面示意圖。

第8圖係第2實施態樣的步驟剖面示意圖。

第9圖係第2實施態樣的步驟剖面示意圖。

第10圖係第2實施態樣的步驟剖面示意圖。

第11圖係第2實施態樣的步驟剖面示意圖。

第12圖係對應於第11圖所示平面圖中I-I線剖面示意圖。

第13圖係半導體積體電路動作速度特性示意圖。

### 【圖示符號說明】

### 【實施發明較佳態樣】

以下，請配合圖式說明，對本發明進行詳細說明。就

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

相同部分儘可能採用相同符號以避免無謂的贅述。

其次，在以下說明中，雖然針對將本發明使用於具MOS元件之半導體積體電路上為例進行說明。惟，本發明並不僅限於此類型元件。

第1~4圖所示係相關本發明第1實施態樣之步驟的剖面示意圖。

請參閱第1圖所示，基板2係在P型高濃度晶圓4上具備P型磊晶層6。在該基板2上形成N通道MOS型元件10、與P通道MOS型元件20。

該N通道MOS型元件10係形成於P型磊晶層6的表層。N晶圓8係以包含有供形成P通道MOS型元件20之區域方式形成。元件隔離膜30a、30b、30c係將N通道MOS型元件10與P通道MOS型元件20分別隔離者。包圍該等元件隔離膜30a~30c之區域係為元件形成區域。N通道MOS型元件10係設置於元件隔離膜30a、30b間，而P通道MOS型元件20則設置於元件隔離膜30b、30c間。

其次，在元件形成區域中形成閘絕緣膜32。在閘絕緣膜32上形成閘極34a~34e。該閘極34a~34e係具有多晶矽化金屬結構。在該閘極34a、34b的正下方區域18、28植入控制電壓值的雜質，該植入係在閘極形成前利用離子植入完成。當形成閘極34a、34b後，便與閘極34a自對準的形成N型源極擴散區域12、與N型汲極擴散區域14。另，與閘極34b自對準的形成P型源極擴散區域22、與P型汲極擴散區域24。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 7 )

接著，在基板2上形成 $\text{Si}_3\text{N}_4$ 膜的第1氮化矽膜36。該第1氮化矽膜36係供利用為蝕刻終止膜用，譬如採用CVD法形成厚度30nm以下的BPSG膜。然後形成接觸窗孔。該接觸窗孔係貫穿第1氧化矽膜38與第1氮化矽膜36，並到達基板2表面與閘極。該等接觸窗孔可利用如微影法或乾式蝕刻法形成的。在接觸窗孔內形成埋入鎢(W)插塞的埋入插塞40。在埋入鎢之前，亦可在接觸窗孔的底面與側面形成TiW膜。該TiW膜可使用濺鍍法形成。再者，W插塞可利用如CVD法形成。在形成埋入插塞40後，利用CMP法對氧化矽膜38與埋入插塞40進行平坦化處理。

在經平坦化的第1氧化矽膜38上形成第1電路層42。該第1電路層42具備有如TiW膜、W膜與TiW膜等三層。另，該第1電路層42在利用濺鍍法、CVD法、濺鍍法分別形成該等膜之後，再利用微影法與乾式蝕刻法，對形成於該等膜進行圖案化處理，而形成一定形狀的電路。該第1電路層42的厚度係在500nm以上、1000nm以下者。

請參閱第2圖所示，針對上層電路層的形成進行說明。在第1氧化矽膜38與第1電路層42上，形成第2氧化矽膜44、埋入插塞46、與第2電路層48。該等的形成方式幾乎與第1氧化矽膜38、埋入插塞40與第1電路層42相同，另亦可採取不同的形成方法。該第2氧化矽膜44的厚度在500nm以上、2000nm以下。而該第2電路層48的厚度在500nm以上、1000nm以下。

其次，在第2氧化矽膜44與第2電路層48上，形成第3

## 五、發明說明 ( 8 )

氧化矽膜50。該第3氧化矽膜50可採用如CVD法形成厚度500nm以上且2000nm以下者。接著，在第3氧化矽膜50上形成氮化矽膜52。在第3氧化矽膜50與氮化矽膜52內，形成到達第2電路層48的介層孔。該等介層孔可利用如微影法或乾式蝕刻法形成。在介層孔中形成埋入鎢(W)插塞的埋入插塞54。如同接觸窗孔般，在埋入鎢之前，可在介層孔的底面與側面形成TiW膜。在形成埋入插塞54後，利用CMP法對氧化矽膜52與埋入插塞54進行平坦化處理。

接著，在經平坦化的第2氧化矽膜52上形成第3電路層56。該第3電路層56可具備如同第1電路層42的構造，惟並不僅限於此。該第3電路層56的厚度係在500nm以上、2000nm以下。

請參閱第3圖所示，針對開口的形成進行說明。首先，形成到達第1氮化矽膜36的開口58。該開口58係形成於第2區域上。該第2區域係與設有第1~3電路層42,48,56與埋入插塞40,46,54之第1區域不同。

為形成開口58，利用微影法形成具特定孔的罩幕層。以該罩幕層為蝕刻罩幕，首先對氮化矽膜52進行蝕刻。其次，對氧化矽膜38,44,50進行到達第1氮化矽膜36的蝕刻處理。該蝕刻處理條件係相對氧化矽膜38,44,50，對第1氮化矽膜36的蝕刻選擇性較高的情況下進行。在滿足此選擇性條件的前提下，可任意採用乾式蝕刻法或濕式蝕刻法。若滿足此種選擇性條件的話，即使多少產生過度蝕刻的現象，開口58亦不會到達元件隔離膜。此外，在預定形成開

## 五、發明說明 ( 9 )

口58的區域可設置假開極34e，俾可更進一步增加相對過度蝕刻的邊差(margin)。如第3圖所示的開口係採用乾式蝕刻法形成的。

將已形成開口58的基板2浸漬於蝕刻溶液上。所使用的蝕刻液至少含有氟化氫酸，結果將含矽氧化物的層間膜38,44,50予以去除。第4圖所示乃該等氧化膜去除後之步驟剖面示意圖。去除氧化矽膜38,44,50最佳溶液為氟化氫酸(HF)溶液，或含氟化氫之緩衝氟酸(BOE)。利用至少變更蝕刻時間或蝕刻溶液濃度中任一變數，而調整可在如常溫(譬如20℃以上、且25℃以下)，使用蝕刻溶液去除被蝕刻氧化膜的條件。

開口58可設置到達第1氮化矽膜36之孔、或溝槽。

第1氮化矽膜36相對於半導體元件10、20，具備蝕刻終止層的功能。各埋入插塞40,46,54與各電路層42,48,56，分別採用不易被蝕刻液所蝕刻的材質。若僅當各埋入插塞40,46,54與各電路層42,48,56之其中部分接觸蝕刻液時，亦可將該部分採用較不易遭蝕刻液侵蝕的材質，俾即便在對氧化矽膜38,44,50施行蝕刻處理的時間中接觸蝕刻液，亦不致使半導體元件10,20、與埋入插塞40,46,54、與電路層42,48,56產生電性惡化的不良情況。

在氮化矽膜52與第3電路層56上形成氮化矽膜(電漿SiN膜)、電漿氧化矽膜(p-SiO膜)、以及電漿氮氧化矽膜(p-SiON膜)等所謂的保護層。

第5圖與第6圖所示係形成於晶圓上之動態隨機存取記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(10)

憶體之半導體晶片的示意圖。半導體晶片80乃四周包圍切割區域81。該切割區域81的中心線82a與82b間的距離，代表Y方向的晶圓尺寸。而切割區域81的中心線82c與82d間的距離，代表X方向的晶圓尺寸。

預定形成開口58的區域，為第5圖與第6圖中斜線所示部分。請參閱第5圖所示，斜線部分84設在切割區域切割區域81上。另，請參閱第6圖所示，在半導體區域中未形成電路部分則設斜線部分86。第6圖中，斜線部分86係沿晶片較長一邊，設置1條於半導體晶片中央處，而沿晶片較短一邊，則在半導體晶片之中央處與二側共設置3條。

在第5圖與第6圖中，雖例示預定形成基板第2區域的部分，但第2區域乃依照與構成第2導電部之第1區域部同區域而定義者。所以，在第5圖與第6圖中的基板第2區域部分，則僅為配合例式所舉之例者。

第7~11圖所示係本發明第2實施態樣的分解步驟剖面示意圖。

請參閱第7圖所示，基板2係在P型高濃度晶圓4上具備P型磊晶層6。在該基板2上形成N通道MOS型元件10與P通道MOS型元件20。該N通道MOS型元件10與P通道MOS型元件20係具備如同上述第1實施態樣相同的構造。故，依照第1實施態樣相同步驟，分別形成第1氧化矽膜38、埋入插塞40、與第1電路層42。該等元件賦予與上述第1實施態樣相同符號，在此不贅述。但，第1氮化矽膜36的形成方式，則與第1實施態樣的步驟不同。

## 五、發明說明 ( 11 )

形成覆蓋第1電路層42與第1氧化矽膜38之 $\text{Si}_3\text{N}_4$ 膜的第3氮化矽膜60。在本實施態樣中，該第3氮化矽膜60的功能，相對於第1實施態樣中的第1氮化矽膜36。可是，第3氮化矽膜60並非設置於第1電路層42與半導體元件10,20之間。該第3氮化矽膜60可採用如CVD法，形成50nm以上、且100nm以下厚度。

請參閱第8圖所示，在第3氮化矽膜60上形成第4氮化矽膜62。在本實施態樣中，因為採用雙層金屬鑲嵌法，同時一次形成電路與介層窗插塞。所以，該第4氮化矽膜62的厚度較第1電路層42厚度、及所連接介層窗插塞與電路之高度總合為厚。該第4氮化矽膜62可採用如CVD法，形成500nm以上、且2000nm以下厚度。上述種種形成，可採用單層金屬鑲嵌法形成。

首先，在第4氮化矽膜62上，利用微影法或乾式蝕刻法，形成凹部64a。並在該凹部64a中形成第4電路層66a。該凹部64a因為在後續步驟中埋入導電材料，所以具有對應該電路層66a之厚度與寬度的形狀。其次，利用微影法或乾式蝕刻法，形成凹部64b。該凹部64b形成預定可電性連接第1電路層42與第4電路層66a之連接介層窗插塞66b的區域。該凹部64b因為在後續步驟於與凹部64a相同步驟中，埋入導電材料，所以具有對應該連接介層窗插塞66b之高度與開口尺寸的形狀。該凹部64b的深度係由凹部64a底面到達第1電路層42上面。譬如凹部64a深度在500nm以上1000nm以下左右的話，則凹部64b的深度便在500nm以上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

檢

## 五、發明說明 ( 12 )

1000nm以下左右。此外，該第4氮化矽膜62亦可利用設在凹部64a與凹部64b交界位置的氮化矽膜，分割成2層，俾加強對各凹部深度的控制。

請參閱第9圖所示，凹部64a、64b埋入導電體。此埋入程序，乃依照下列順序進行。首先，對第1導電層66c整面形成如Ta<sub>2</sub>N<sub>5</sub>膜或TaSiN<sub>3</sub>膜之擴散阻障層或密接層。該第1導電層66c係利用如濺鍍法，沉積成厚度30nm以上且100nm以下之膜層，俾在該凹部64a、64b的底面與側面形成第1導電層66c。其次，將如銅(Cu)等導電體填入凹部64a、64b中，而形成第2導電層66a。Cu導電體，係利用如濺鍍法，形成厚度50nm以上100nm左右厚度的薄膜層後，再利用電鍍法形成厚度1 $\mu$ m以上且5 $\mu$ m以下的膜層。因為導電體的厚度，最好以加上填入部64a、64b左右的厚度後，可在後續平坦化處理步驟中，平順進行的厚度。第4電路層66a與連接介層窗插塞66b，依照功能上的理由，是乎展現出以其他步驟而形成的其他元件般的樣子。可是，如上述所說明般，第4電路層66a與連接介層窗插塞66b乃為同一步驟中一齊形成的第1導電元件66。

該第4氮化矽膜62與第1導電元件66，利用如CMP法等平坦化法，施行如第9圖所示的平坦化處理。在經平坦化處理後的第4氮化矽膜62與第1導電元件66上，形成薄薄的氮化矽層67。

請參閱第10圖所示，接著在第5氮化矽膜68a內，利用單層金屬鑲嵌法形成第2導電元件70a。首先，在氮化矽層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 13 )

67上形成第5氧化矽膜68a。該第5氧化矽膜68a的形成方式，可採取如同前述製造第4氧化矽膜62之製造方法相同處理程序進行。其次，在第5氧化矽膜68a上，預定形成第2導電元件70a的區域形成凹部69a。該凹部69a係利用微影法或乾式蝕刻法，施行到達導電體66a為止的蝕刻處理，將氮化矽膜67去除後所形成的。在凹部69a中，依照如第1導電元件66相同的製造處理程序，形成第2導電元件70a。該第5氧化矽膜68a與第2導電元件70a，利用如CMP法等平坦化法施行平坦化處理。

接著，利用單層金屬鑲嵌法，在第6氧化矽膜68b內形成第3導電元件70b。該第6氧化矽膜68b與第3導電元件70b，乃由填入凹部69b程序而形成。該填入處理，因為如同上述第5氧化矽膜68a與第2導電元件70a相同製造程序便可完成，故在此不贅述。可是，該第6氧化矽膜68b與第3導電元件70b，亦可具備分別與該第5氧化矽膜68a與第2導電元件70a不同構造，或依照部同處理程序所製得者。

第10圖所示係經平坦化處理後的第6氧化矽膜68與第2導電元件70。在其表面上形成氮化矽膜72。該氮化矽膜72可採用如CVD法形成厚度50nm以上且100nm以下者。

請參閱第10圖所示，針對開口的形成進行說明。首先，形成到達第3氮化矽膜60的開口74。該開口74係形成於與設有第1及第2導電部66、70之第1區域不同的第2區域。

為形成開口74，利用微影法形成具特定孔的單幕層。以該單幕層為蝕刻單幕，首先對氧化矽層62、68、與氮化

## 五、發明說明(14)

矽膜67進行到達氮化矽膜60的蝕刻處理。該蝕刻處理條件係相對氧化矽膜62、68，對第3氮化矽膜60的蝕刻選擇性較高條件下，去除矽膜62、68。在滿足此選擇性條件的前提下，可任意採用乾式蝕刻法或濕式蝕刻法。若滿足此種選擇性條件的話，即使多少產生過度蝕刻的現象，開口74亦不會到達第1氧化矽膜38與元件隔離膜30a~30c。第10圖所示開口係採用乾式蝕刻法進行。

將已形成開口74的基板2浸漬於蝕刻溶液中。所使用的蝕刻液至少含有氟化氫酸，結果將可去除含矽氧化物62、68的層間膜。第11圖所示乃該等氧化膜62、68去除後之步驟剖面示意圖。開口74，如同第1實施態樣，設置到達第4氮化矽膜60之孔、或溝槽。

在本實施態樣中，如同第1實施態樣，第3氮化矽膜60相對於半導體元件10、20，具備蝕刻終止層的功能。第2導電部66、70a、70b分別採用不易被蝕刻液所蝕刻的材質。若僅當該等導電部66、70(70a、70b)之其中部分接觸蝕刻液時，亦可將該部分採用較不易遭蝕刻液侵蝕的材質，俾即便在對氧化矽膜62、68施行蝕刻處理的時間中接觸蝕刻液，亦不致使半導體元件10、20、與第1氧化矽膜38、與埋入插塞40、與電路層42產生電性惡化的不良情況。

雖然本實施態樣中，對該蝕刻終止膜僅以氮化矽膜為例說明，為實際上並不僅限於此。蝕刻終止膜可為至少含有如氮化矽膜、SiC膜、與非晶矽SiC:H( $\alpha$ -SiC:H)中任一者。蝕刻終止膜在為對包含氧化矽膜的層間膜進行蝕刻的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 15 )

蝕刻液中，具有小於氧化矽膜蝕刻速率的蝕刻速率。

依照第2實施態樣，可不管開口74的位置，逕行設置最下層的導電層42。所以可將半導體元件作為電路層使用。而因為電路層42周圍包圍矽絕緣膜，所以使電路電容附加於電路層42上。但，僅限在使用連接於附近半導體元件的電路層42時，該電容的附加對動作速度將不致產生太大影響。因為最下層的導電層42係不管開口74的位置而逕行設置，所以並不會對半導體積體電路內的相互連接產生實質上的限制。

第2實施態樣中，在較蝕刻終止層的第3氮化矽膜60更下層處設置第1導電部，而在較第3氮化矽膜60更上層設置第2導電部。

第12圖所示係對應第11圖的平面示意圖。在第12圖中，I-I剖面對應於第11圖的剖面圖。依照第12圖所示，含於第1導電部內的埋入插塞40之形狀係為矩形，換句話說，第1電路層42係包含於第1導電部中，並以覆蓋埋入插塞40方式全面攤開。包含於第2導電部的連接介層窗插塞66b與介層導體70a，分別呈矩形狀。該第4電路層66a與第3導電元件70b，則包含於第2導電部中，並以覆蓋連接介層窗插塞66b與介層導體70a方式全面攤開。

在第1與第2實施態樣中，雖針對具備MIS型電場效應電晶體(FET)之MOS電晶體進行半導體積體電路進行說明，本發明並不僅限於此。除MOS電晶體外，亦可利用於具有雙載子電晶體的半導體積體電路上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明(16)

因為去除較具蝕刻終止層功能之氮化矽層更上層的氧化矽層，所以配合蝕刻終止層的設置位置，可選擇低電容化的電路層。

依照本發明之半導體積體電路製造方法，以覆蓋設於基板上的半導體元件方式形成蝕刻終止層，並在其上更進一步形成一層以上的導電元件與層間絕緣膜，然後形成到達蝕刻終止層的開口。將已形成開口的基板，浸漬於含氟化氫酸的溶液中，而去除矽氧化物的層間膜。以矽氧化物所形成的層間膜，因為利用含氟化氫酸的溶液進行蝕刻處理，所不至於接觸到絕緣物便可形成電路。因為在此蝕刻處理中，蝕刻終止層具保護膜的功能，所以可在蝕刻處理程序中保護半導體元件。此外，因為供蝕刻處理的開口設在基板上的第2區域，所以開口係到達蝕刻終止層，且可不管導電部的位置。因為開口側面裸露出層間膜，所以可由一定深度的層間膜側面依序進行蝕刻處理。

職是，本發明便提供一種毋須另行改用其他新穎裝置，便可製造半導體積體電路動作高速化之半導體積體電路的方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1. 一種半導體積體電路之製造方法，係製造基板上具有連接複數半導體元件之導電體的半導體積體電路的製造方法，該基板設有第1區域、與不同於該第1區域的第2區域，乃包含有：

在該基板上形成該複數半導體元件的第1步驟；與

形成覆蓋該等半導體元件的蝕刻終止膜之第2步驟；與

形成將該等複數半導體元件互相接續之第1導電部的第3步驟；與

在該蝕刻終止膜上形成含矽氧化物的層間膜、及屬第1區域位置之第2導電部的第4步驟；其中，該第2導電部係連接於第1導電部；與

在該第2區域上形成貫穿層間膜並到達該蝕刻終止膜之開口的第5步驟；與

使用至少含氟化氫酸之蝕刻液，對該層間膜進行蝕刻而形成開口的第6步驟。

2. 如申請專利範圍第1項所述半導體積體電路之製造方法，其中該第3步驟係更進一步，包含有：

形成直接連接半導體元件的接觸窗導電體，與形成連接該接觸窗導電體的電路導電體之步驟；

該第1導電部係包含有該接觸窗導電體與該電路導電體。

3. 如申請專利範圍第1或2項所述半導體積體電路之製造方法，其中該第4步驟係更進一步，包含有：

## 六、申請專利範圍

分別在1或1以上的電路導電體、該電路導電體、以及該第1導電部上形成氧化矽膜，以及在該氧化矽膜內形成介層導電體之步驟；

該第2導電部係包含有該電路導電體與該介層導電體；該層間膜係包含該氧化矽膜。

4. 如申請專利範圍第3項所述半導體積體電路之製造方法，其中，該電路導電體可以銅為主要構成材料；而該介層導電體係以鎢為主要構成材料。
5. 如申請專利範圍第1項所述半導體積體電路之製造方法，其中，該第4步驟係利用金屬鑲嵌法在該層間膜上形成該第2導電部。
6. 如申請專利範圍第1項所述半導體積體電路之製造方法，其中，該基板係包含有具半導體積體電路之半導體晶片區域、與設置於該半導體晶片區域周圍的切割線區域；

該第5步驟係包含有在該切割線區域形成開口的步驟。

7. 如申請專利範圍第1項所述半導體積體電路之製造方法，其中，該基板係包含有具半導體積體電路之半導體晶片區域、與設置於該半導體晶片區域周圍的切割線區域；

該第5步驟係包含有在該半導體晶片區域形成開口的步驟。

8. 如申請專利範圍第1項所述半導體積體電路之製造方

(請先閱讀背面之注意事項再填寫本頁)

訂 線

稱死

## 六、申請專利範圍

法，其中，在該第2步驟中，於該第1導電部上形成該蝕刻終止膜。

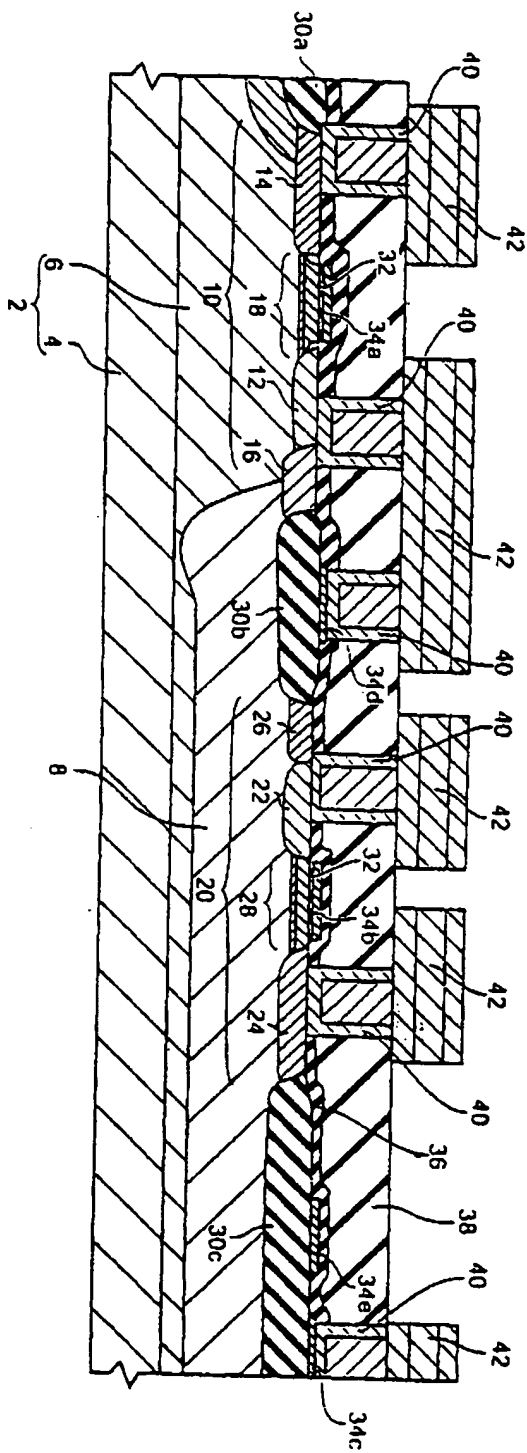
9. 如申請專利範圍第1項所述半導體積體電路之製造方法，其中，在該第3步驟中，貫穿該蝕刻終止膜，形成與該半導體元件相連接的該第1導電部。

10. 如申請專利範圍第1項所述半導體積體電路之製造方法，其中，該開口係到達該蝕刻終止膜的孔或溝槽者。

(請先閱讀背面之注意事項再填寫本頁)

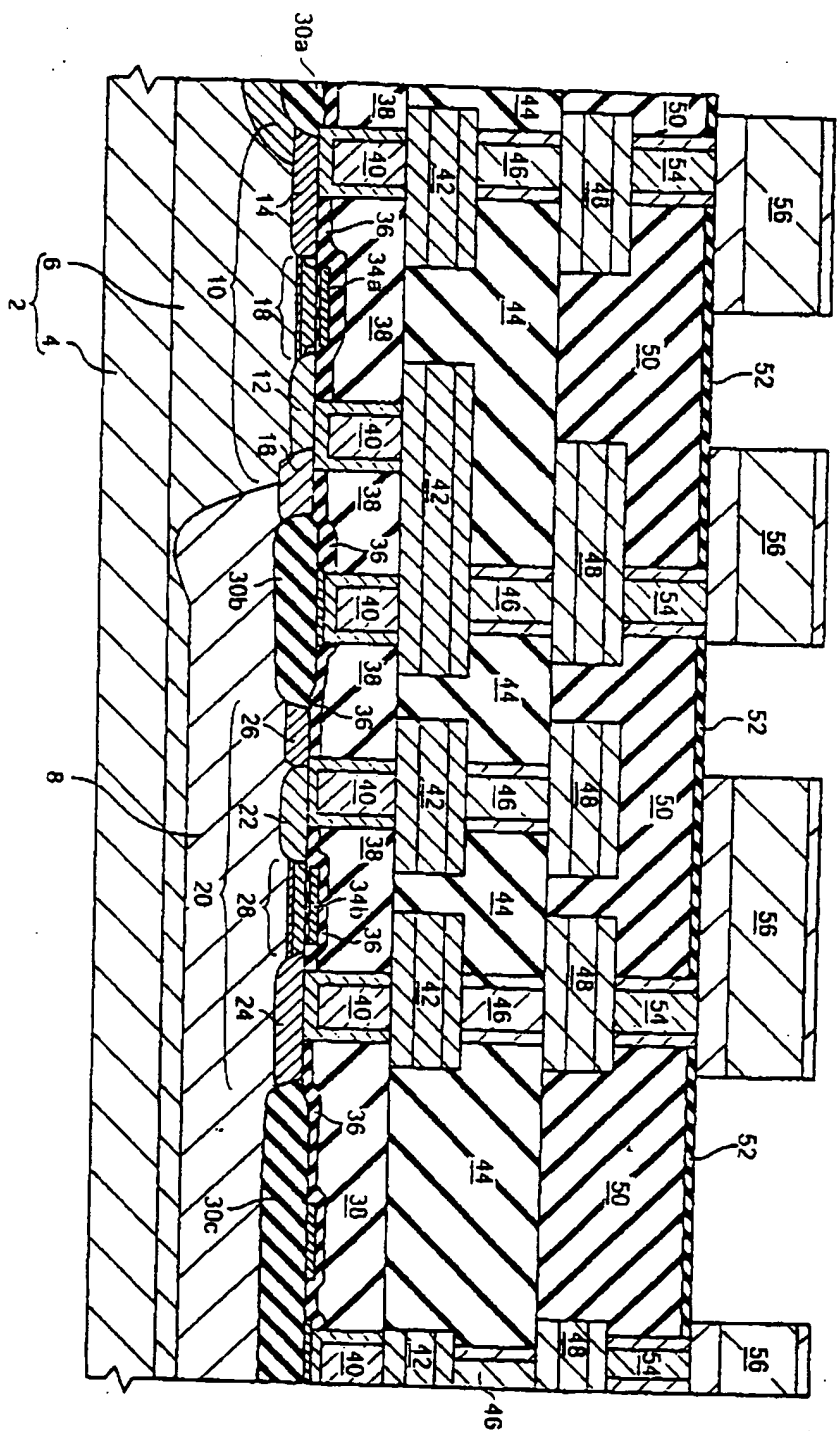
訂  
線

第 1 圖

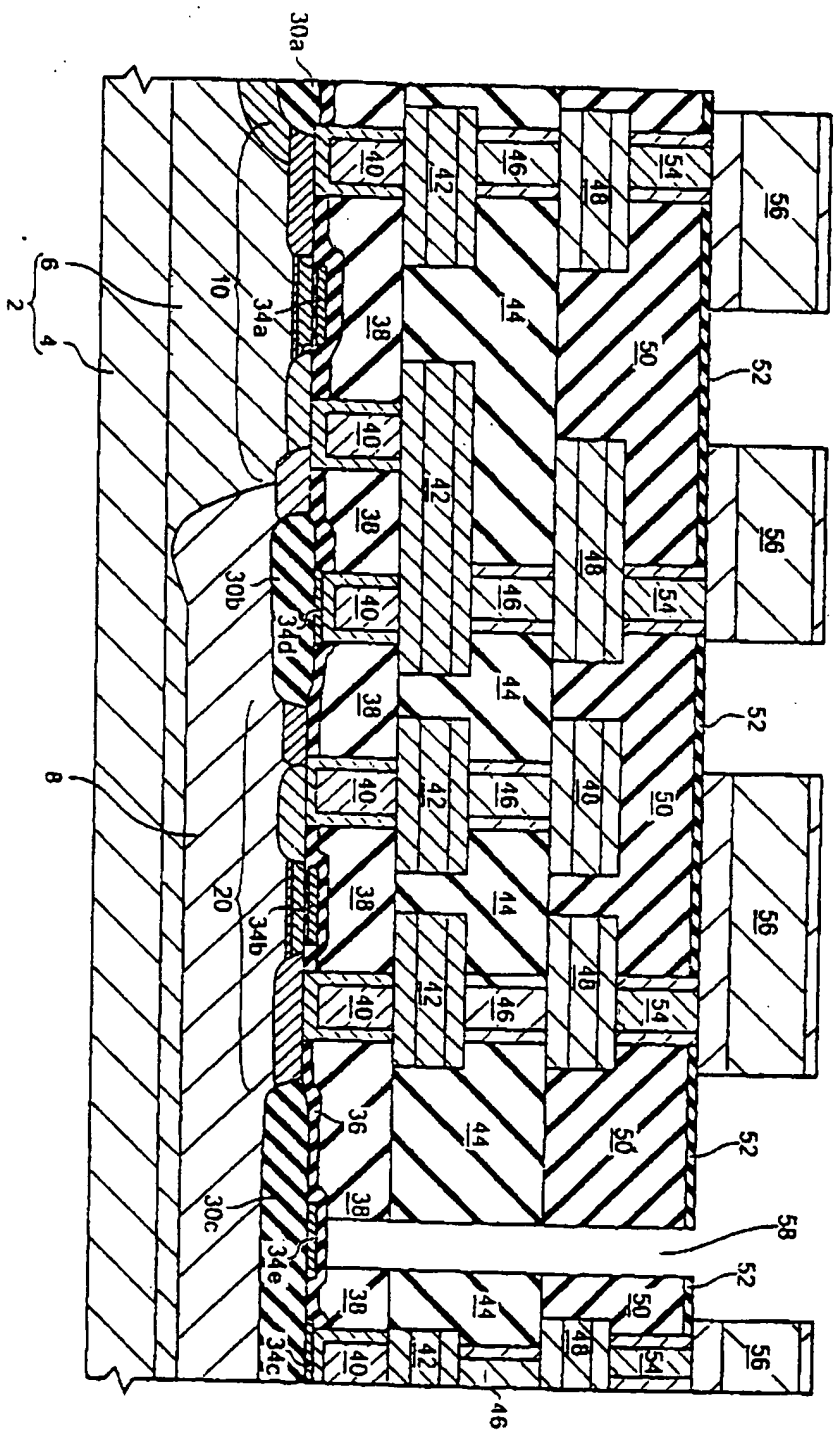




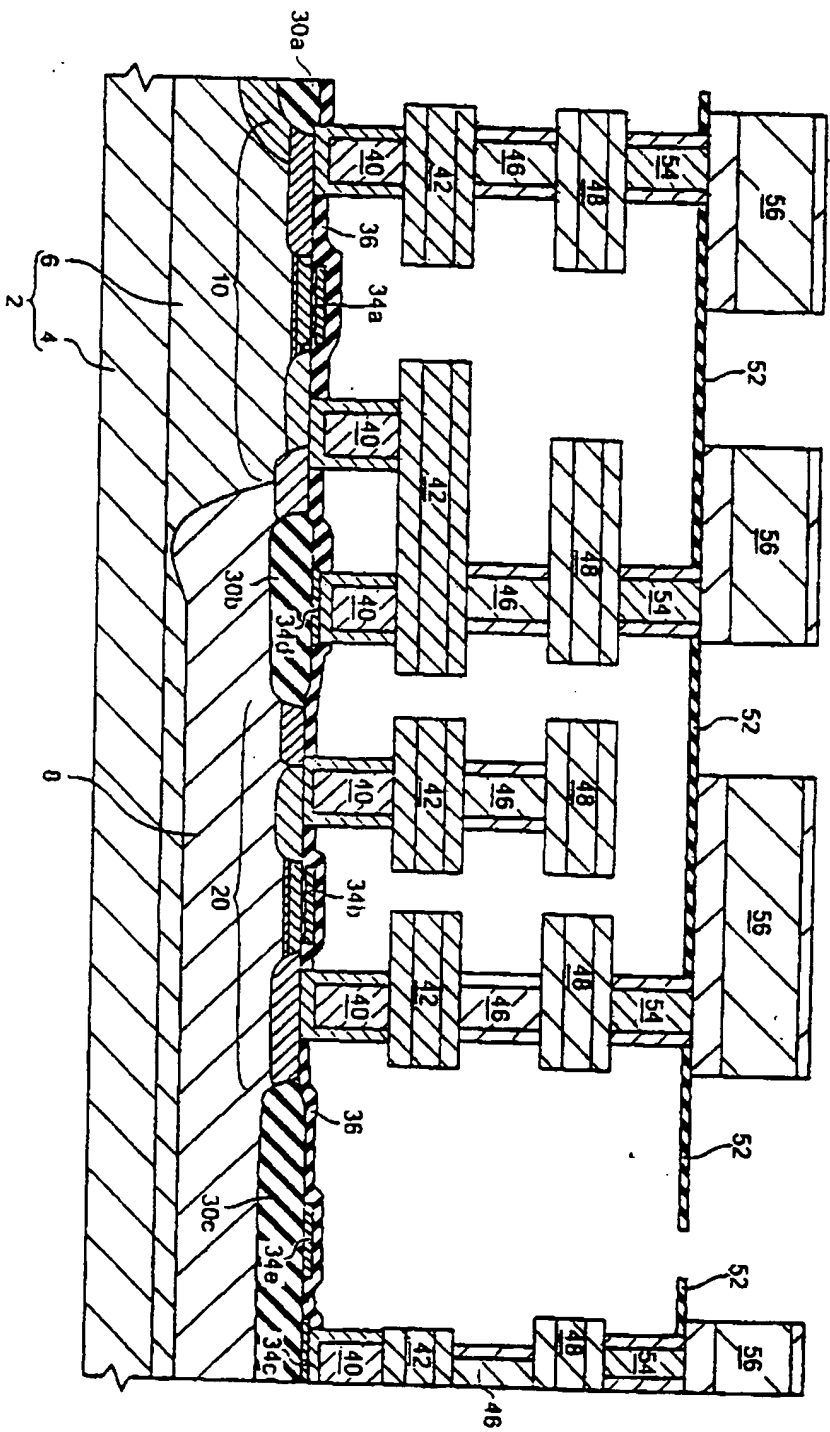
第 2 圖



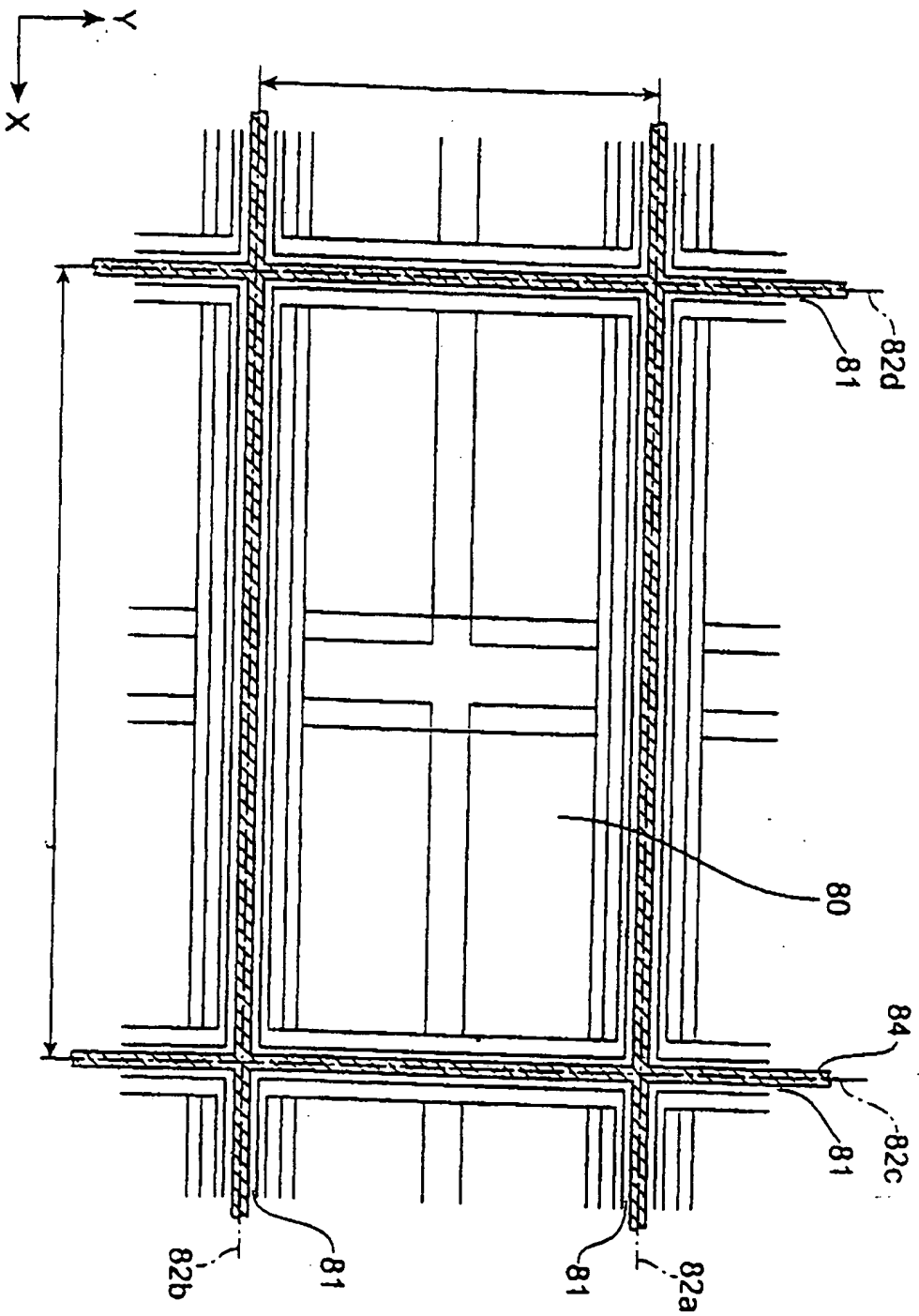
第 3 圖



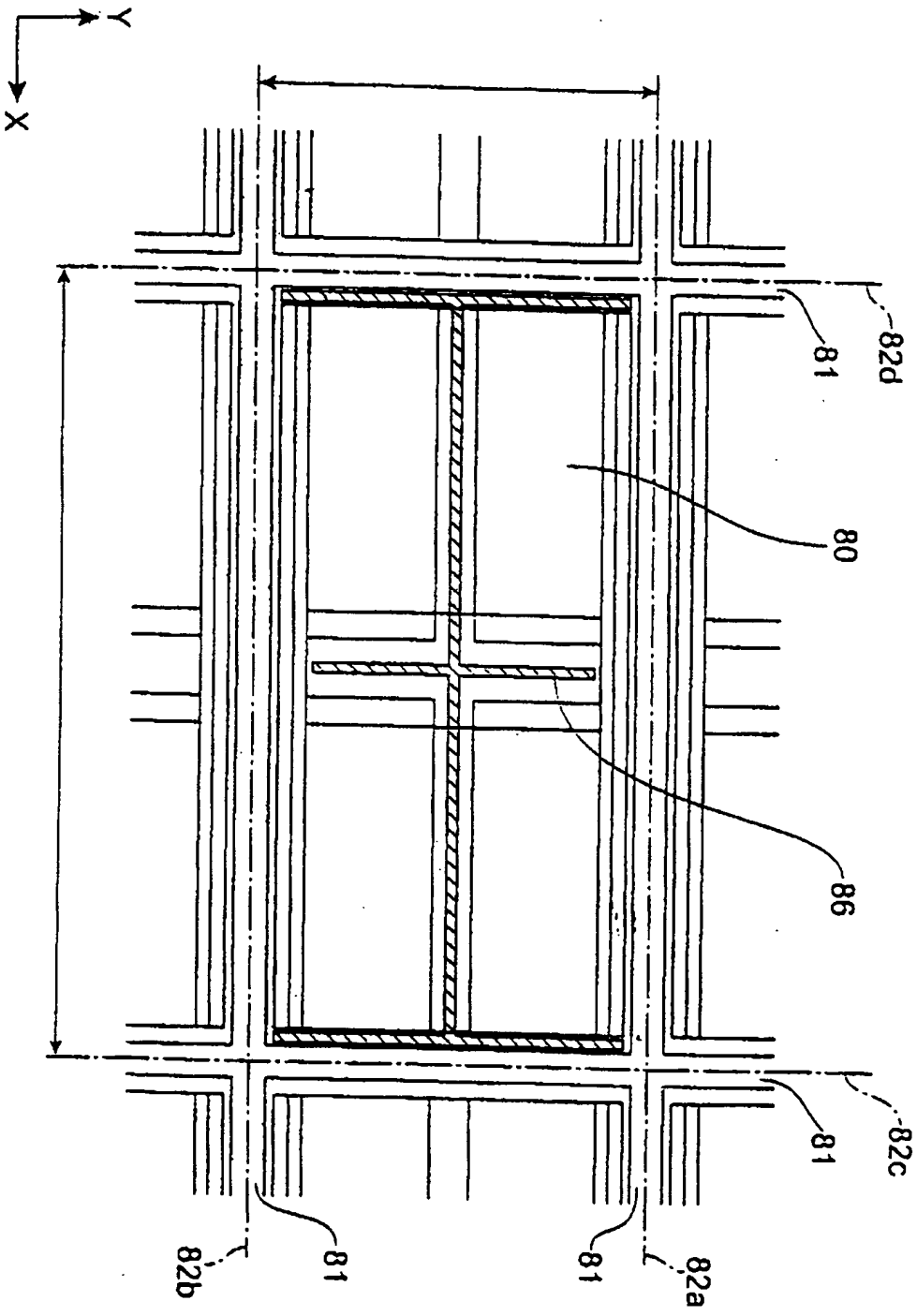
第 4 圖



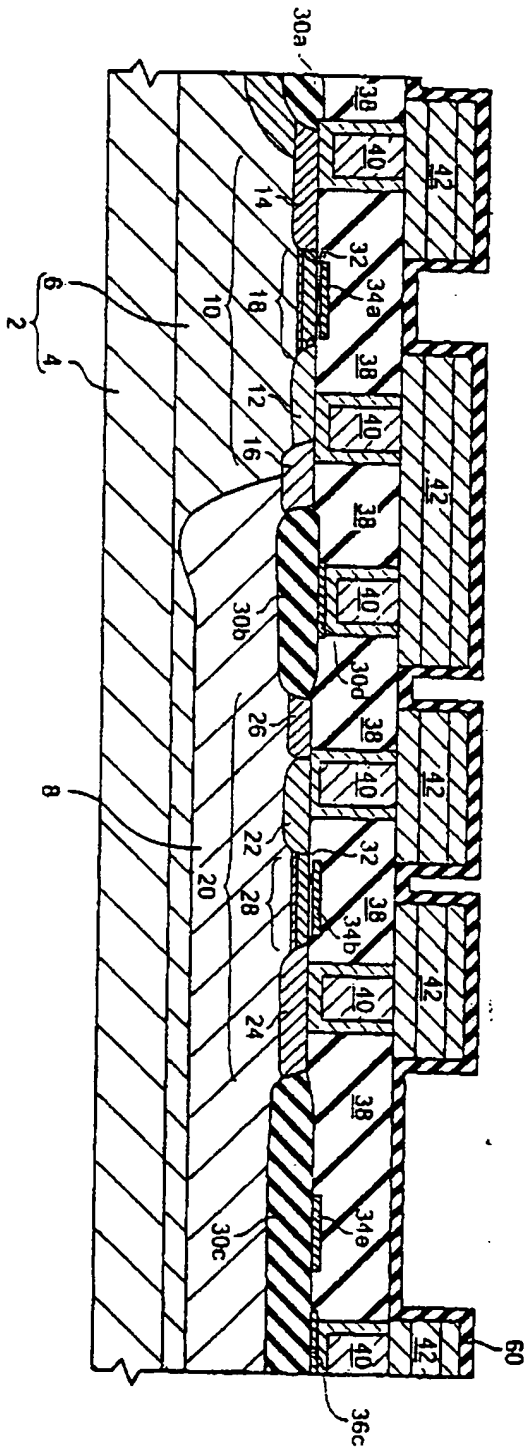
第 5 圖



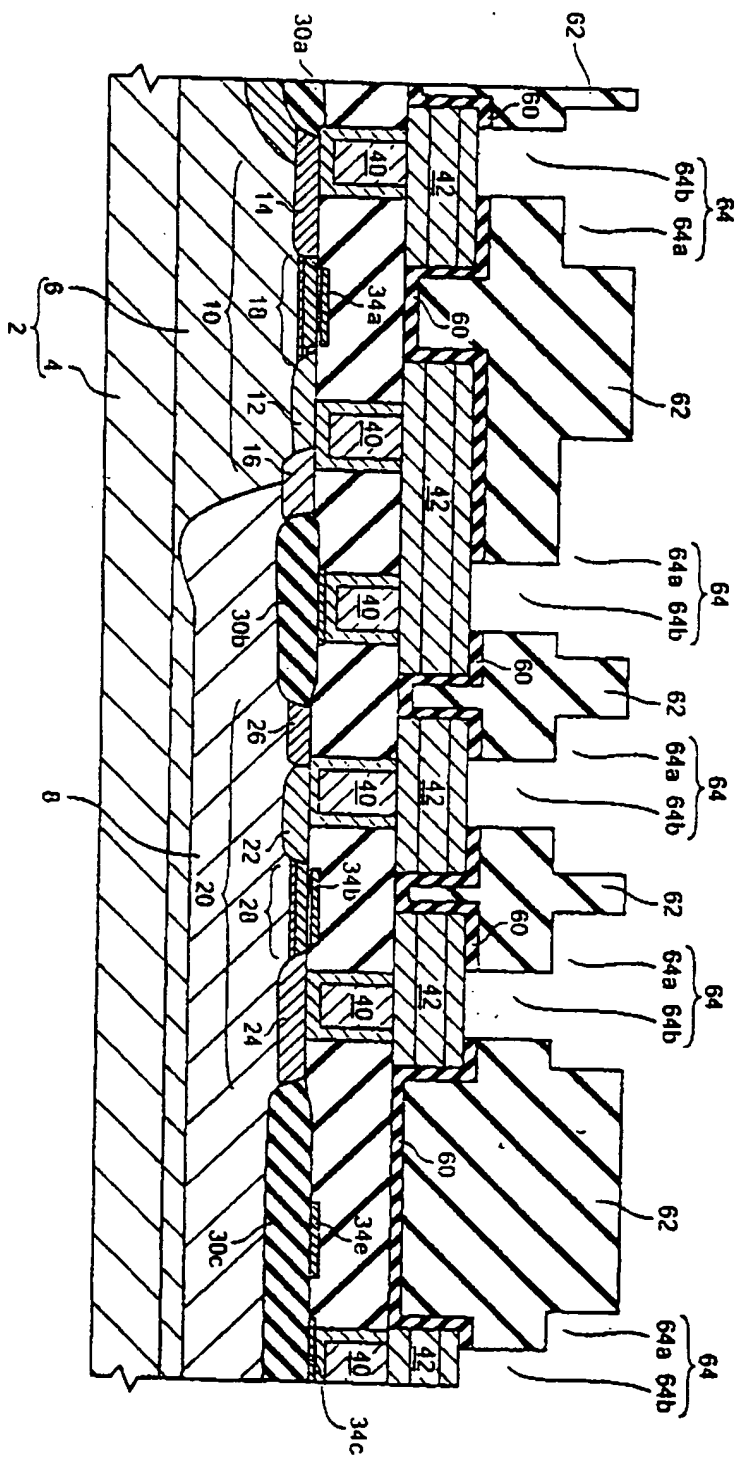
第 6 圖



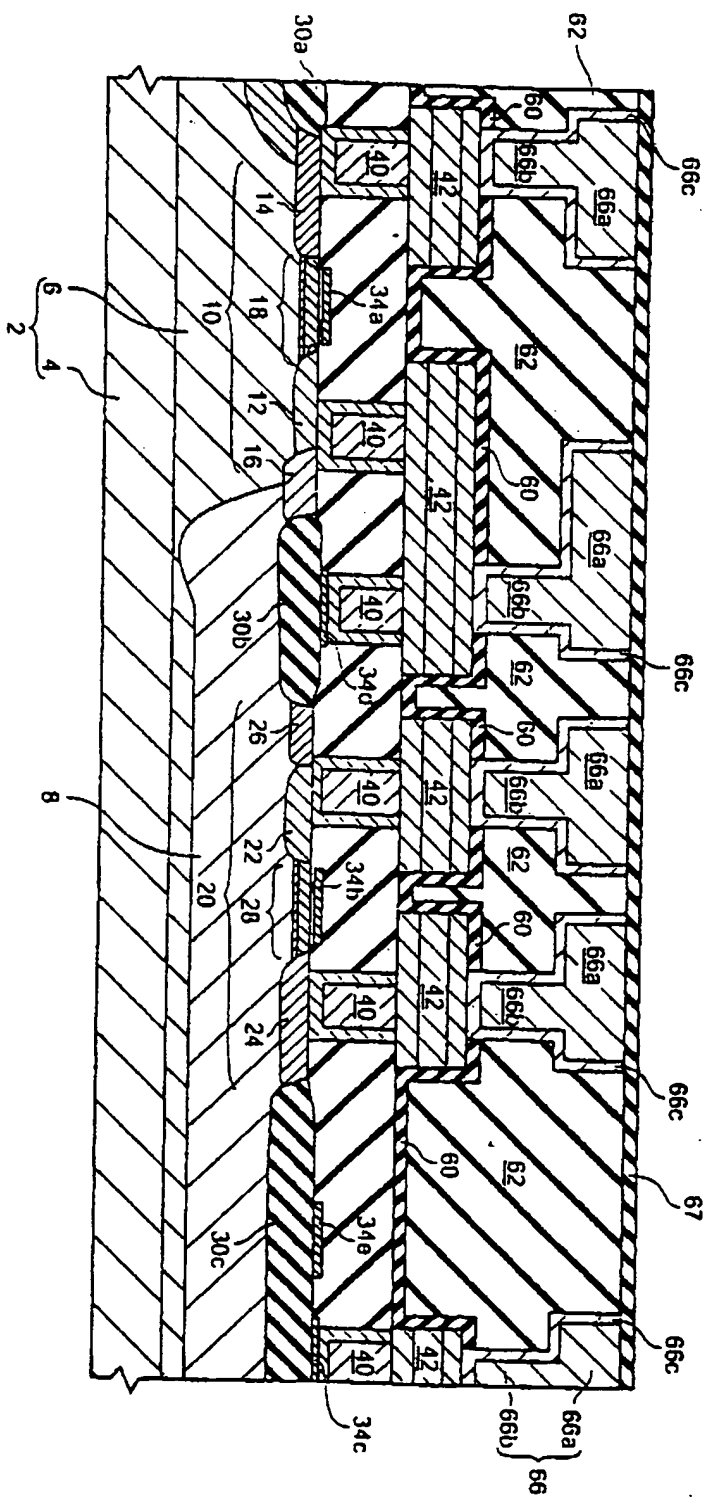
第 7 圖



第 8 圖

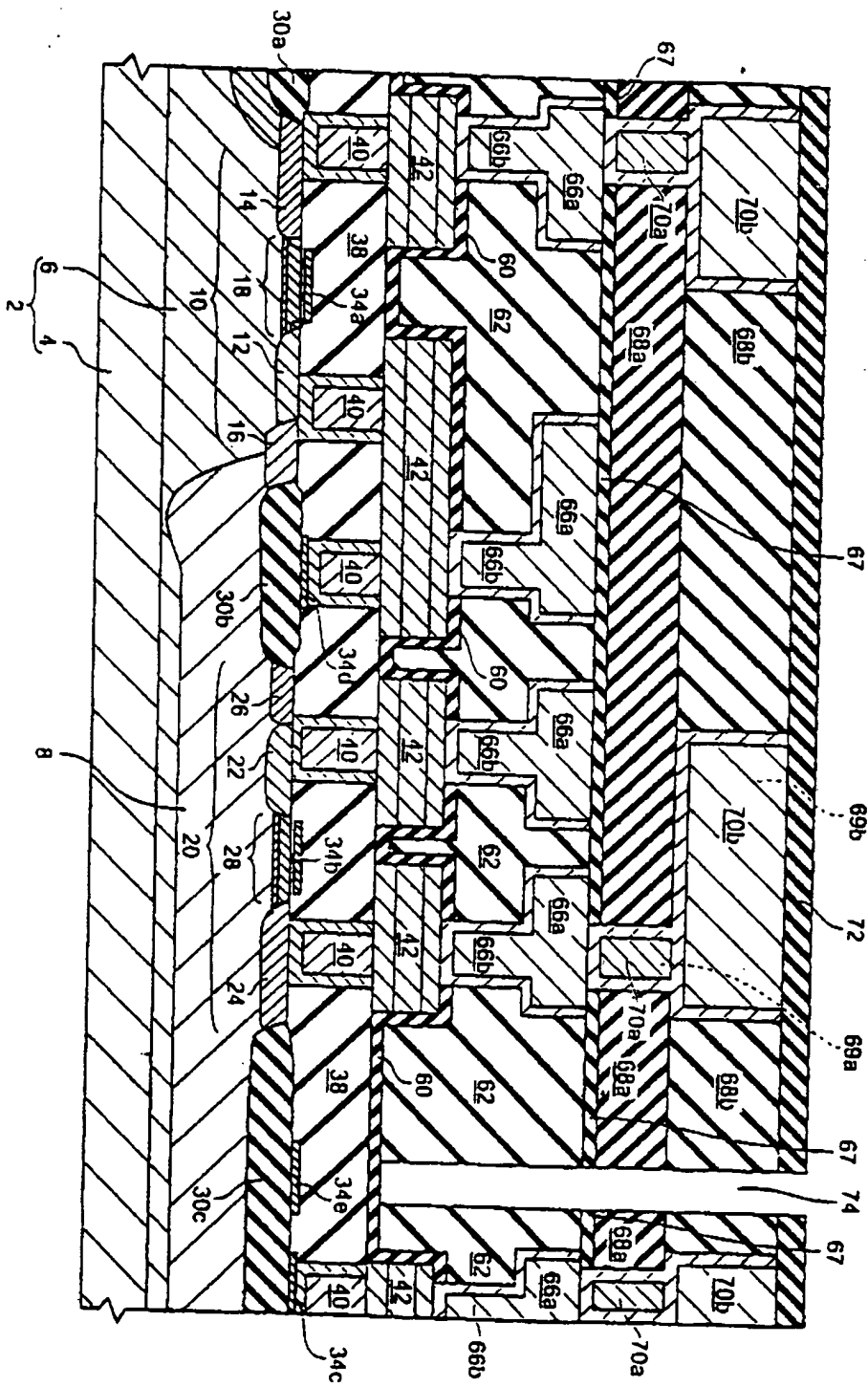


第 9 圖

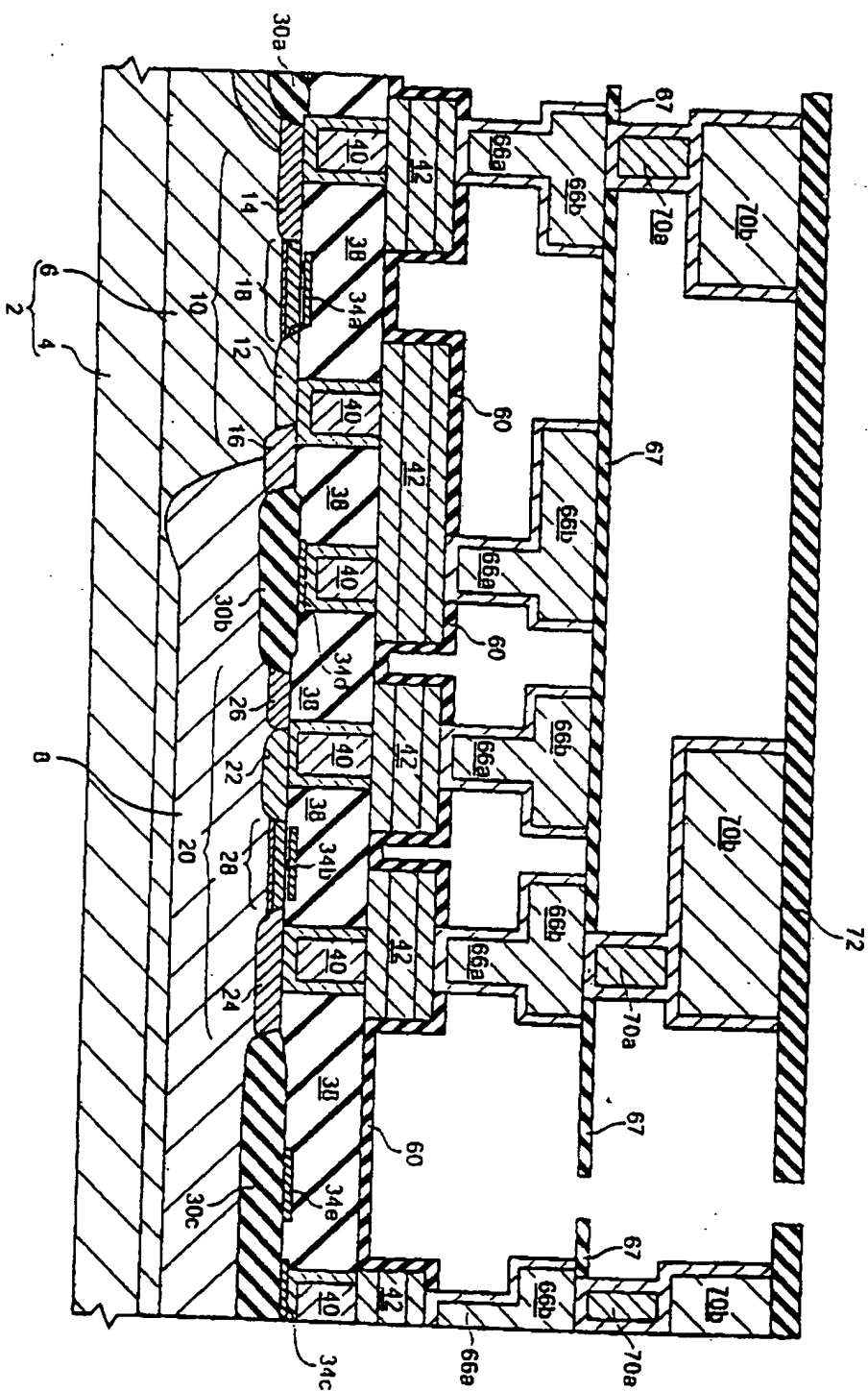




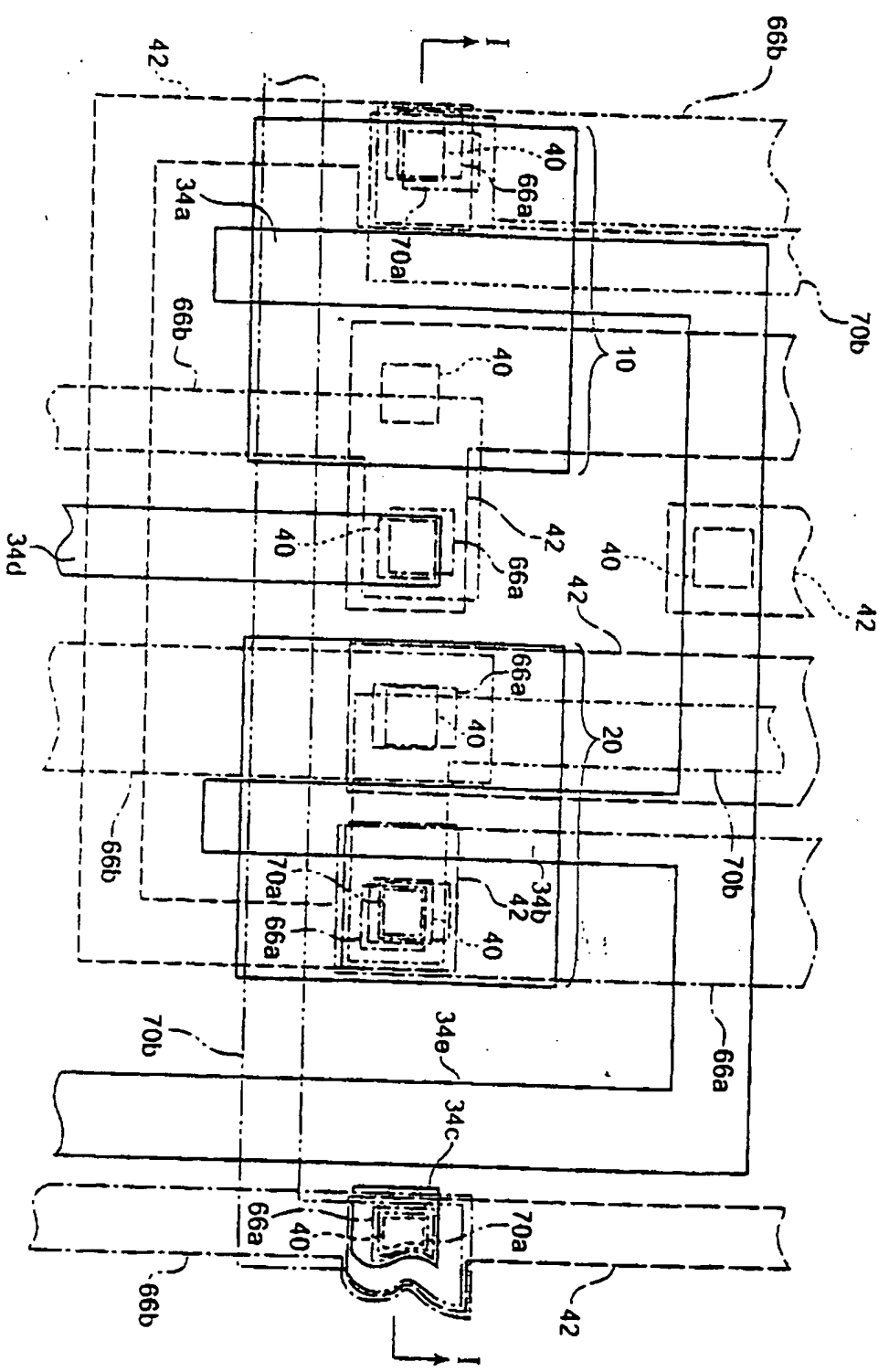
第 10 圖



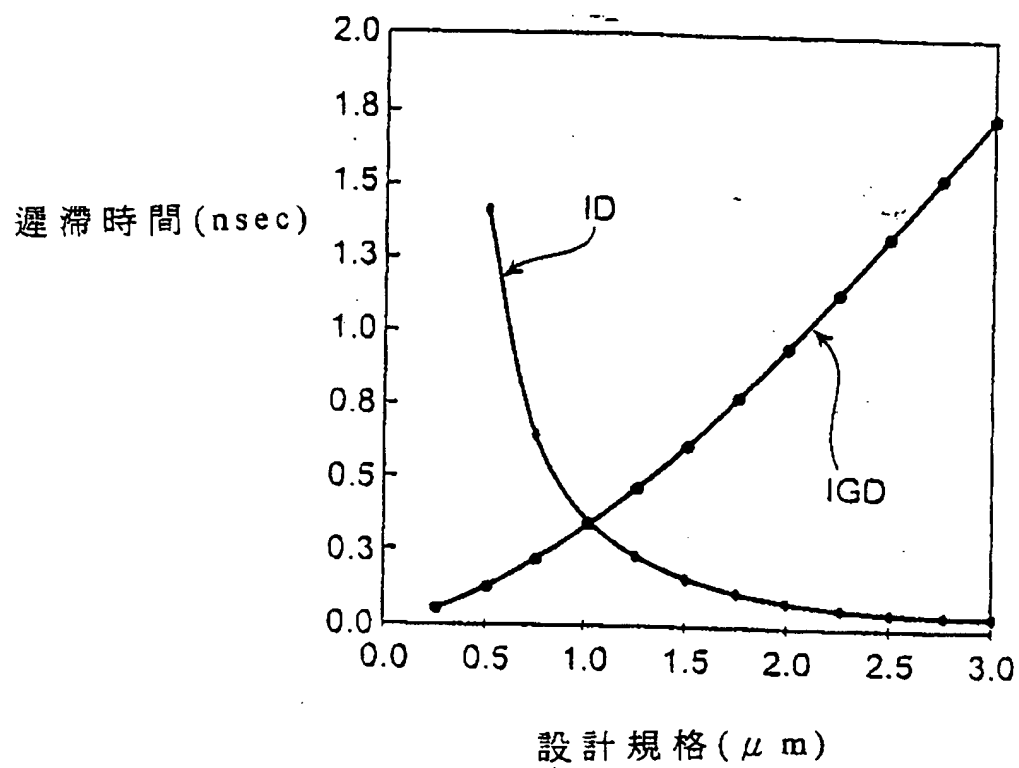
第 11 圖



第 12 圖



第 13 圖



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**